

Contribution à une méthode de conception d'un module intégré pour une architecture multiniveau de conversion de puissance

Début souhaité : premier trimestre 2023

Consortium pour l'encadrement

- Paul-Etienne VIDAL –Professeur des Universités (**Directeur de thèse**), équipe e-ACE² du Laboratoire Génie de Production de l'Ecole Nationale d'Ingénieurs de Tarbes.
 - paul-etienne.vidal@enit.fr
- Guillaume Viné, Maître de conférences, LGP ENIT
- Baptiste Trajin, Maître de conférences LGP ENIT

Candidatures

- Envoyer CV détaillé et lettre de motivation aux formats pdf par mail.
- Ouverture des candidatures : 01/11/2022.
- Fin des candidatures : 04/12/2022 -18pm.
- Après une phase de sélection sur dossier des auditions par visio se tiendront sur convocation entre le 5/12/2022 et le 16/12/2022.

Introduction du sujet

Dans le domaine de la conversion d'énergie électrique, les convertisseurs statiques permettent, par la disposition d'interrupteurs à matériau semi-conducteur et leur commande, de gérer les échanges d'énergie entre une source d'énergie électrique (batterie, alternateur, etc.) et un récepteur (organe consommant de l'énergie électrique pour la transformer (mouvement, lumière etc.)). L'efficacité énergétique de ces dispositifs est au cœur des stratégies de développement des produits et services de la transition énergétique à venir. En particulier, dans le domaine des transports, les contraintes que cette transition induit, orientent les activités de recherche menées en électronique de puissance. Ainsi, la recherche se porte notamment vers la conception de convertisseurs statiques sous de nouvelles formes, ou l'utilisation de nouveaux matériaux et procédés qui les rendent plus efficaces ou plus performants. Dans le domaine aéronautique, la contrainte la plus marquante est la relation puissance électrique convertie sur volume et masse du dispositif, qui tend au développement de dispositifs à forte puissance dans des volumes restreints. Le Laboratoire Génie de Production, et plus particulièrement l'équipe e-ACE² s'intéresse aux stratégies d'intégration permettant la miniaturisation des dispositifs de conversion et en particulier les modules de puissance.

Le travail de recherche proposé vise à concevoir – du modèle à l'objet - un module de puissance fortement intégré, moyenne puissance et tension (par exemple 1 kV- 100 A) multiniveau, sur la base des nouvelles technologies d'interrupteur. L'idée est qu'il puisse lui-même être une brique élémentaire d'une architecture de conversion multiniveau.

Contact : paul-etienne.vidal@enit.fr

Laboratoire Génie de Production, Ecole Nationale d'Ingénieurs de TARBES, 47 avenue d'AZEREIX, 65000 TARBES.

<http://www.enit.fr>

Question recherche et objectif scientifique

Montrer de quelle manière une approche transverse permet de créer un module de puissance modulaire intégré en vue d'une architecture de conversion multiniveau pour application aéronautique, en améliorant simultanément et de manière significative :

- le rendement de conversion (au niveau architecture) : Cible 1 ;
- L'efficacité de conversion (au niveau module) : Cible 2 ;
- La fiabilité de l'architecture (au niveau architecture) : Cible 3 ;
- La réparabilité (pour les niveaux module et architecture) : Cible 4
- Le fonctionnement en mode dégradé (pour les niveaux module et architecture) : Cible 5.

Enjeux scientifiques et technologiques

Le premier enjeu scientifique porte sur le développement d'une méthode de conception, associée à une méthode d'évaluation des performances, qui permettent de concevoir un module qui satisfasse les cinq cibles.

Le deuxième enjeu scientifique est le développement d'une méthode d'évaluation de la fiabilité d'une architecture multiniveau.

Le premier enjeu technologique consiste à concevoir et fabriquer un module multi-technologique, qui puisse être une brique élémentaire d'une architecture multiniveau. Cette conception s'appuiera sur des choix issus de compromis entre technologies d'assemblage éprouvées, innovantes ou en ruptures, relativement aux cibles listées.

Le deuxième enjeu technologique concerne l'élaboration d'un banc de test pour une architecture multi-niveau à base du module intégré et la même avec composants discrets.

Livrables et jalons identifiés

Livrables

- L1 : un module intégré
- L2 : une architecture multiniveau à base du module intégré et la même avec composants discrets
- L3 : un rapport de caractérisations expérimentales et numériques
- L4 : un article scientifique dans une revue internationale
- L5 : un manuscrit de thèse et une présentation de soutenance.

Jalons

- J1 : Etat de l'art
- J2 : Design rules pour l'évaluation de la fiabilité d'une architecture multiniveau
- J3 : Choix d'une architecture multiniveau
- J4 : Méthode de conception d'un module intégré
- J5 : Présenter oralement des résultats partiels dans une conférence internationale
- J6 : Décrire une méthode de pilotage (modulation).

Description du plan de travail envisagé

Le travail proposé dans ce sujet vise à concevoir un module intégré qui puisse être la brique de base d'une architecture polyphasée et multiniveau. Une ambition de la thèse est de développer une méthode qui oriente les choix technologiques à effectuer afin de concevoir un bras de conversion d'un module intégré d'une architecture multiniveau.

Contact : paul-etienne.vidal@enit.fr

Laboratoire Génie de Production, Ecole Nationale d'Ingénieurs de TARBES, 47 avenue d'AZEREIX, 65000 TARBES.

<http://www.enit.fr>

Cette ambition est en phase avec l'objectif 3 de la chaire : « Augmenter l'efficacité de conversion par l'intégration combinée technologies-architectures au sein d'un module ». Dans ce lot les travaux sont organisés en cinq tâches :

- T4.1 : Analyse bibliographique composant et architecture ;
- T4.2 : Spécification d'une architecture intégrée et modélisation numérique ;
- T4.3 : Indicateur pour l'évaluation de la fiabilité
- T4.4 : Réalisation du module intégré et de l'architecture de conversion ;
- T4.5 : Caractérisation expérimentale et analyses.

Un doctorant et deux post-doctorants contribueront aux livrables associés à ce lot.

Dans la première tâche T4.1, le travail consistera à faire un état de l'art des performances des composants à semi-conducteur de puissance grand gap disponibles actuellement. Effectivement, la disponibilité des composants à semi-conducteur de puissance grand gap, permet des analyses de performances qui mettent en avant les gains potentiels de structures les utilisant, [1]. A partir d'une spécification applicative cible, l'étude discutera les performances annoncées de composants à semi-conducteur de puissance grand gap disponibles tant en version packagée ou non. Cette tâche doit permettre de montrer les meilleures performances des composants à semi-conducteur de puissance grand gap pour un calibre donné et d'aiguiller les choix technologiques pour les autres étapes. Dans un deuxième temps, une analyse des architectures de conversion multiniveaux à partir de l'état de l'art sera achevée. L'intérêt généralement pointé des architectures multiniveau est d'obtenir des contraintes minimisées pour les interrupteurs, tout en fractionnant le nombre de niveau de la tension de sortie. Cette analyse portera sur les avantages des différentes structures de conversion relativement aux contraintes appliquées aux interrupteurs, aux nombre d'interrupteurs, aux densités de courant, aux fréquences de commutation, etc. Ce travail de synthèse recensera également les modes de pilotage des architectures et les réalisations applicatives décrites par l'état de l'art par exemple le composant illustré en Figure 1. L'objectif sera de mettre en lumière les avantages d'une architecture par rapport à une autre.

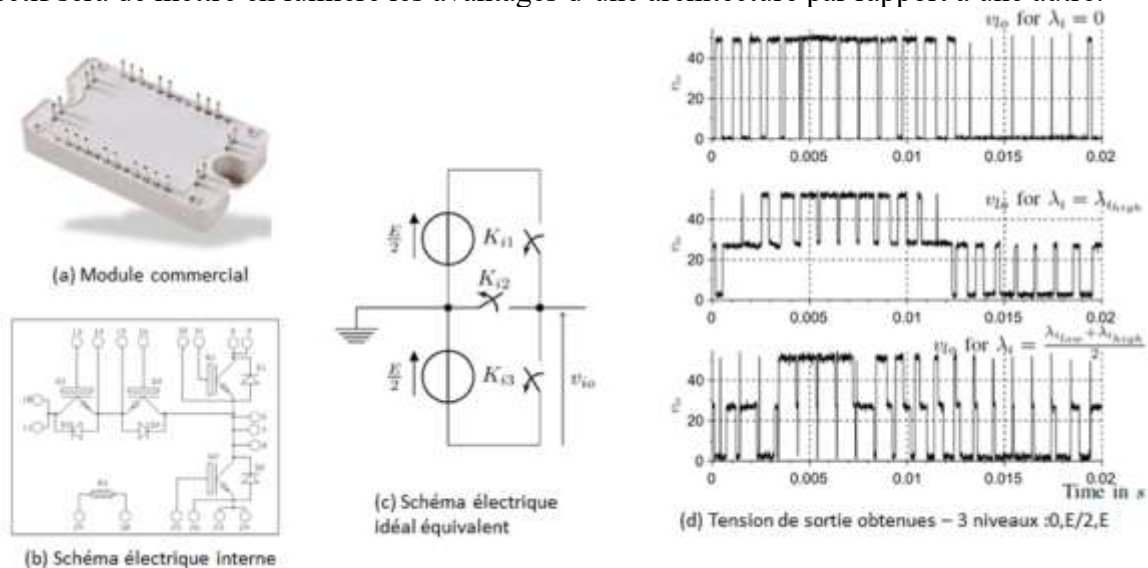


Figure 1 : Exemple d'architecture multiniveau de type T-Type, et mesures expérimentales de la tension de sortie en fonction du pilotage appliqué, [2]

L'étudiant(e) pourra également étudier dans quelle mesure l'apport conjoint, des méthodes d'intégration, des technologies d'interrupteurs à grand gap, et des bénéfices connus des architectures multiniveaux, pourraient être combinés au sein d'un module « hybride » intégré.

La deuxième tâche, T4.2, concernera la spécification et la caractérisation par des simulations numériques d'une architecture multiniveau intégrée de conversion statique de l'énergie électrique. Une

Contact : paul-etienne.vidal@enit.fr

Laboratoire Génie de Production, Ecole Nationale d'Ingénieurs de TARDES, 47 avenue d'AZEREIX, 65000 TARDES.

<http://www.enit.fr>

ou des architectures multiniveaux seront ciblées et il sera établi les expressions des performances attendues relativement à une architecture de référence. L'aspect pilotage en modulation des architectures sera développé, selon les principes développés dans [3]. Les résultats attendus portent sur les formes d'ondes des courants et tensions, la quantification de fonctions de performances, telles que les pertes etc. Ces données seront issues de simulations du système multiniveau, intégrant les composants grand gap. Ces résultats seront analysés et aiguilleront la réalisation des démonstrateurs. Les partenaires, notamment industriels accompagneront cette étape de spécification afin que l'architecture choisie puisse cibler une gamme d'application tension – courant prédéfinie. Sans présumer des travaux réalisés en amont de ce lot, la gamme de puissance concernée sera probablement proche d'une plage de fonctionnement $500\text{ V} < V < 1000\text{ V}$ et $20\text{ A} < I < 100\text{ A}$ et sera pour une visée applicative aéronautique.

Dans la tâche T4.3, il s'agira de faire un état de l'art des méthodes existantes pour évaluer la fiabilité au niveau architecture d'un dispositif d'électronique de puissance. Cet état de l'art devra donner lieu à des règles de préconisations ou de spécifications en vue de la conception du module intégré. Ces préconisations seront basées sur des critères qui doivent permettre d'évaluer et de comparer des choix à l'échelle du module et du système. Dans cette phase, les notions de redondance, de reconfiguration, de réparabilité ou de modularité, que cela soit au niveau du module ou de l'architecture, devront être prises en compte et discutées.

Dans la quatrième tâche T4.4, le module multiniveau respectant l'architecture la plus méritante sera conçu. Il s'agira notamment d'utiliser des matériaux et des méthodes pour l'intégration de nouvelles technologies de type sandwich pour minimiser les inductances de boucle, de matériaux de report pour les puces à haute température et des interconnexions. L'approche qui sera retenue sera de centrer la réflexion sur un bras de commutation qui est la structure élémentaire pour une phase, [4]. Ainsi, un module multiniveau, brique élémentaire pour la conception d'un convertisseur multiniveau à plusieurs phases, sera conçu. En suivant, la réalisation de ce module sera entreprise en définissant le « flow chart process », l'approvisionnement matière, puis son assemblage.

Une fois la brique technologique réalisée, débutera la cinquième tâche T4.5. Il s'agira de vérifier par la caractérisation expérimentale les performances obtenues. Les caractérisations porteront, sur les formes d'ondes lors de commutations, les caractéristiques en température, les formes d'ondes globales, les pertes etc., [5]. Cette vérification sera possible par la définition préalable d'un banc d'expérimentation.

Bibliographie

- [1]. A. Marzoughi, J. Wang, R. Burgos, and D. Boroyevich, "Characterization and Evaluation of the State-of-the-Art 3.3-kV 400-A SiC MOSFETs", IEEE Transactions on Industrial electronics, Vol. 64, N°. 10, oct. 2017.
- [2]. S. Cailhol, P.-E. Vidal and F. Rotella, A generic method of Pulse Width Modulation applied to three-phase 3-Level T-type NPC inverter", IEEE Transactions on Industry Applications, DOI : 10.1109/TIA.2018.2829468, Vol. 54, N°. 5, sept/oct 2018.
- [3]. J. Espina, B. Ahmadi, L. Empringham, L. De Lillo, M. Johnson, "Highly-Integrated Power Cell for High-Power Wide Band-gap Power Converters", 2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia), 3-7 June 2017, DOI: 10.1109/IFEEC.2017.7992433.
- [4]. H. Li, K. Potty, Z. Ke, J. Pan, Y. Chen, F. Zhang, M. Al Sabbagh, W. Perdikakis, G. Li, X. Ye, R. Na, J. Zhang, L. Xu, J. Wang, "Hardware Design of a 1.7 kV SiC MOSFET Based MMC for Medium Voltage Motor Drives", 2018 IEEE Applied Power Electronics Conference and Exposition (APEC), 4-8 March 2018, DOI: 10.1109/APEC.2018.8341238.
- [5]. P. Czyz, Pa. Papamanolis, T. Guillod, F. Krismer, and J. W. Kolar, "New 40kV / 300kVA Quasi-2-Level Operated 5-Level Flying Capacitor SiC "Super-Switch" IPM", Published in: 2019 10th International Conference on Power Electronics and ECCE Asia (ICPE 2019 - ECCE Asia), 27-30 May 2019.

Profil recherché

Le (la) candidat(e) devra être issu d'une formation scientifique spécialisée dans le génie électrique / électronique / électronique de puissance, la gestion et le management de l'énergie électrique. Outre des qualités techniques à attester, le (la) candidat(e) devra posséder une curiosité scientifique pour aborder

Contact : paul-etienne.vidal@enit.fr

Laboratoire Génie de Production, Ecole Nationale d'Ingénieurs de TARBES, 47 avenue
d'AZEREIX, 65000 TARBES.

<http://www.enit.fr>

les différentes étapes proposées mais aussi être force de proposition dans le déroulement de l'étude. Une bonne maîtrise des chaînes de conversion d'énergie ainsi que des expériences notables dans la réalisation et la commande des convertisseurs sont demandées. La maîtrise des logiciels Scilab et/ou Matlab/Simulink couplée à une connaissance d'un logiciel circuit de type PSIM est un prérequis obligatoire. Une expérience dans la programmation d'un microcontrôleur ou d'un FPGA est un atout très pertinent.

Le (la) candidat(e) devra également posséder un bon niveau de maîtrise de l'anglais et des qualités de communication et de synthèse écrites et orales en français comme en anglais.

Lieu de déroulement de la thèse

Les travaux se dérouleront principalement sur 2 lieux situés à 5 km l'un de l'autre :

- Laboratoire Génie de Production, Ecole Nationale d'Ingénieurs de TARBES, 47 Avenue d'AZEREIX, 65000 TARBES ;
- Plateforme PRIMES, 67 Boulevard Pierre Renaudet, 65000 Tarbes. Cette adresse sera le lieu principal de l'étude.

Financement

Ce sujet fait partie d'un projet partenarial où participent trois universités ou instituts, et deux industriels (la chaire partenariale senior EFICIENCE, E2S-UPPA PIA-ANR-16-IDEX-0002. Plusieurs doctorants et post-doctorants collaboreront à un objectif commun : augmenter l'efficacité de conversion des modules d'électronique de puissance. Dans le cadre du projet, cela sera rendu possible par différentes approches (lots) menées en parallèle. L'étude proposée ici s'inscrit dans le lot concernant l'augmentation de l'efficacité de conversion par l'intégration combinée technologies-architectures au sein d'un module, il s'agit du lot 4 de la chaire.

Le (la) doctorant(e) bénéficiera d'un financement de l'université de Pau et des Pays de l'Adour (UPPA) pour une durée de 36 mois. Quelques heures d'enseignement seront réalisées (32h TD par an) à l'ENIT.

Contact : paul-etienne.vidal@enit.fr

Laboratoire Génie de Production, Ecole Nationale d'Ingénieurs de TARBES, 47 avenue d'AZEREIX, 65000 TARBES.

<http://www.enit.fr>