

Traitement numérique du signal sur FPGA pour l'analyse en temps réel de la compatibilité électromagnétique d'un module de puissance

Environnement

Laboratoire : ENIT – LGP Responsables : Stéphane BAFFREAU, Pierre CHALIMBAUD, Guillaume VINE
E-mail : Stephane.Baffreau@iut-tarbes.fr, Pierre.Chalimbaum@iut-tarbes.fr, guillaume.vine@enit.fr.
Téléphone : 06 28 04 55 23

Mots Clefs

Electronique numérique, algorithmique, programmation, traitement du signal, compatibilité électromagnétique, électronique de puissance.

Contexte

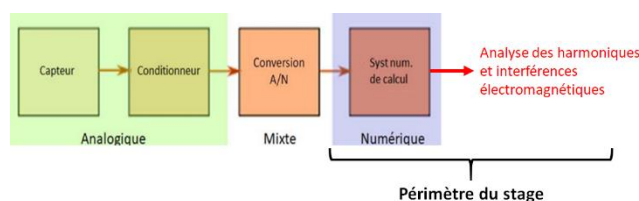
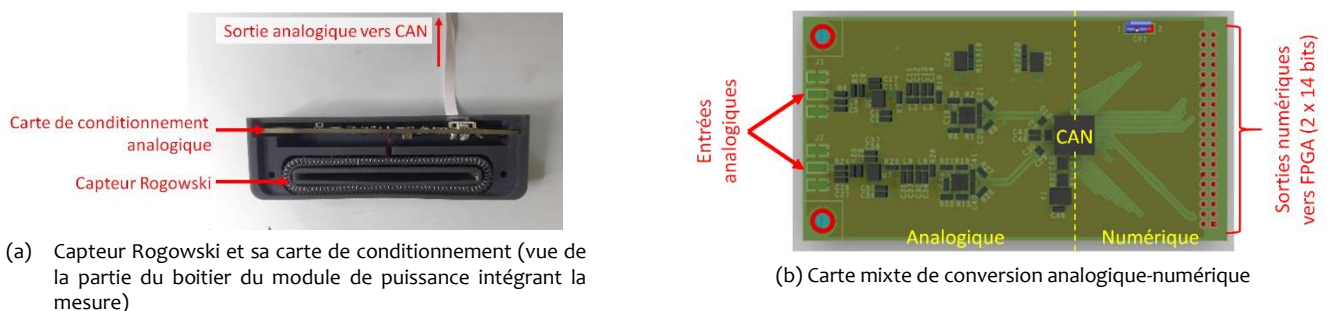
Les progrès continus dans le domaine de l'électronique de puissance, autour notamment des semi-conducteurs « grand gap » et de l'impression 3D, conduisent à des modules de puissance toujours plus performants fonctionnant à des fréquences plus élevées, des densités de puissance accrues et une plus forte compacité.

Les conditions de fonctionnement sévères associées à ces développements technologiques, fortes contraintes de Compatibilité ÉlectroMagnétique (CEM) notamment, conduisent aux développements d'électroniques de commande présentant des fonctionnalités intelligentes : contrôle actif des transitoires de commutation et interférences électromagnétiques ainsi que l'optimisation des dépassements. Ces développements s'accompagnent de la nécessité de capteurs, chaînes de mesure et traitement de données au plus proche des modules de puissance [1].

Dans cette perspective, l'équipe e-ACE² du Laboratoire Génie de Production (LGP) travaille au développement de mesures de courant et champ magnétique large bande de fréquence intégrées au sein de modules de moyenne et forte puissance [2]. En particulier, nos travaux récents ont abouti à la conception d'un capteur de Rogowski et de sa carte de conditionnement analogique intégrés dans un module de puissance, type bras d'onduleur, pour la mesure du courant de phase (Figure 1.a).

Ces travaux ont été complétés par le développement, au sein de notre équipe, d'une carte de Conversion Analogique-Numérique (CAN) rapide (Figure 1.b). Conçue pour être interfacée avec une électronique numérique programmable (FPGA), sa conception permet d'envisager le traitement des données de mesure de courant en temps réel, objet de ce stage.

Le stage porte ainsi sur l'acquisition et le traitement de la mesure sur calculateur FPGA suivi de l'application expérimentale temps réel sur banc d'essai. Les algorithmes de traitement temps réel seront dédiés à l'analyse CEM du module de puissance et concerneront : les harmoniques basses fréquences (e.g. taux de distorsion harmonique), la détection de transitoires (e.g. décharges partielles) et le spectre haute fréquence (vs requis d'émissions électromagnétiques conduites et rayonnées). Ces développements seront réalisés sur un kit FPGA Cyclone V SoC Altera® dédié au stage.



(c) Chaîne de mesure complète, du capteur au traitement des données

Figure 1 –Intégration de la mesure de courant dans un module de puissance pour l'analyse CEM.

Contribution attendue

Les nombreux défis scientifiques et techniques de ce stage en termes de compréhension des contraintes CEM et traitements du signal associés, algorithmique et programmation numérique seront traités sur la base d'études bibliographiques/techniques, l'utilisation de logiciels de calcul numérique (Scilab, Matlab ou Python) et d'environnement de simulation FPGA (ModelSim – Intel FPGA). Le stagiaire travaillera en collaboration avec les spécialistes CEM et traitement du signal (Stéphane BAFFREAU et Guillaume VINE) et le spécialiste en électronique numérique programmable (Pierre CHALIMBAUD).

Le stage s'articulera autour de 4 activités principales et complémentaires :

Dans la première partie du stage, la prise en main de l'environnement de simulation FPGA et du kit FPGA Cyclone V SoC Altera® sera abordée. L'objectif sera d'interfacer la partie analogique et mixte au système numérique de calcul. Une fois l'ensemble fonctionnel, l'acquisition et la visualisation des mesures sera réalisée. L'ensemble sera alors testé sur banc d'essai.

Dans la seconde partie, la mise en œuvre de fonctions élémentaires de traitement du signal sera effectuée d'abord sur le simulateur puis implémenté sur FPGA. Ces fonctions élémentaires seront, entre autres, des filtres numériques passe-bas, passe-haut, passe-bande et transformée de Fourier rapide. La partie validation, numérique et expérimentale, des fonctions implémentées constituera la finalité de cette partie.

Dans la troisième partie, la conception d'algorithmes complexes de traitement du signal intégrant les fonctions élémentaires développées précédemment sera réalisée. Ces algorithmes traiteront des contraintes CEM associées aux basses fréquences, hautes fréquences et transitoires. Ceux-ci seront développés dans un premier temps sur un logiciel de calcul numérique type Scilab, Matlab ou Python, puis portés sur le simulateur et finalement implémenté sur FPGA. Chaque étape donnera lieu à une validation numérique.

Finalement, la quatrième et dernière partie sera dédiée à l'aspect temps réel. Les développements réalisés dans la partie 3 seront adaptés à une mesure en continu d'un système de puissance. Les contraintes de traitement associées au FPGA, en temps de calcul notamment, amèneront à penser la stratégie de surveillance CEM, e.g. délai entre chaque acquisition. La mise en œuvre expérimentale de la chaîne de mesure complète et du traitement de la mesure temps réel sur banc de puissance constituera alors l'objectif final du stage.

L'ensemble des étapes de développement, simulation et essais seront détaillées avec soin afin de permettre la poursuite au sein de l'équipe des travaux réalisés.

Qualités requises

Le (la) candidat(e) devra être issu(e) d'une formation scientifique spécialisée en électronique avec une expérience antérieure, projet étudiant ou stage, en électronique programmable.

Outre des qualités techniques certaines, le (la) candidat(e) devra posséder une curiosité scientifique pour aborder les différentes étapes proposées mais aussi être force de proposition dans le déroulement de l'étude.

Le (la) candidat(e) devra également posséder un bon niveau de maîtrise de l'anglais et des qualités de communication et de synthèse écrites et orales en français comme en anglais.

Modalités pour postuler

Toute candidature devra être adressée par mail (CV + lettre de motivation, relevé de note du M1 optionnel) aux adresses Stephane.Baffreau@iut-tarbes.fr, Pierre.Chalimbaud@iut-tarbes.fr et guillaume.vine@enit.fr.

Fin de la phase de candidature le 15 janvier 2024 minuit.

Déroulement du stage

Le stage durera 5 mois (possibilité de faire 6 mois). La gratification sera versée mensuellement et correspondra au taux horaire de gratification de 4,35 € par heure de stage. La gratification mensuelle sera calculée au prorata de jours travaillés, avec le calcul suivant : 1 jour = 7 heures. Le début du stage est possible à partir de février 2024.

Il y a trois lieux d'exercice situés dans la même ville mais distants de 5 km environ :

- Laboratoire Génie de Production, Ecole Nationale d'Ingénieurs de TARBES, 47 Avenue d'AZEREIX, 65000 TARBES, France;
- Institut Universitaire de Technologie, 1 Rue Lautréamont, 65000 Tarbes
- Plateforme PRIMES, 67 Boulevard Pierre Renaudet, 65000 Tarbes, France.

Le LGP et l'IUT sont distants de 200 m environ. La plupart du stage se déroulera sur la plateforme PRIMES.

Bibliographie

- [1] S. Mocevic et al., "Phase Current Sensor and Short-Circuit Detection based on Rogowski Coils Integrated on Gate Driver for 1.2 kV SiC MOSFET Half-Bridge Module," 2018 IEEE Energy Conversion Congress and Exposition (ECCE), Portland, OR, USA, 2018.
- [2] G. Vine, P. -E. Vidal and J. -M. Dienot, "Characterization Method of Radiated Magnetic Field Based on Integrated Antenna Measurement Applied to Power Module Technologies," in *IEEE Transactions on Power Electronics*, vol. 35, no. 2, pp. 1440-1449, Feb. 2020.